

①
NEC-5091-③

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-078593

(43)Date of publication of application : 24.03.1998

(51)Int.Cl.

G02F 1/136
G02F 1/1343

(21)Application number : 08-253817

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 04.09.1996

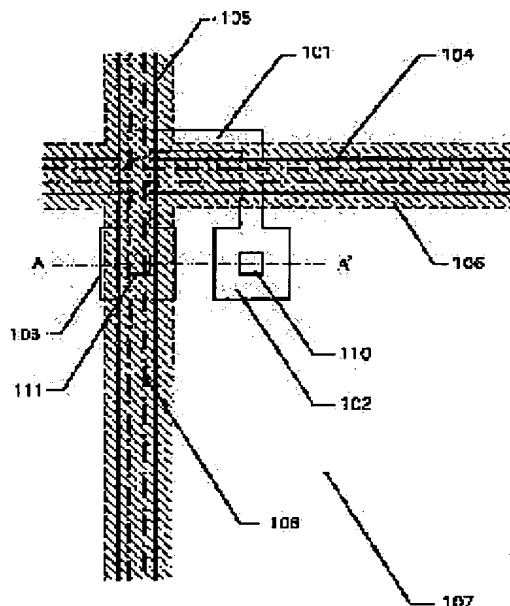
(72)Inventor : CHIYOU KOUYUU
TERAMOTO SATOSHI

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to suppress the crosstalks of source lines and gate lines as well as pixel electrodes by arranging electrode patterns consisting of transparent conductive films between the source electrodes and gate electrodes and the pixel electrodes and forming auxiliary capacitors between the electrode patterns and the pixel electrodes, thereby providing display device with the necessary auxiliary capacitors without degrading the aperture ratios of pixels.

SOLUTION: The pixel electrodes 107 are formed on second interlayer insulating films formed on the electrode patterns 106 consisting of ITO for forming the capacitors. The pixel electrodes 107 come into contact with the drain regions 102 of active layer patterns 101 via a contact 110 and are so arranged with the gate lines 104 and the source lines 105 that their edges overlap on each other. The regions where the pixel electrodes 107 as well as the gate lines 104 and the source lines 105 overlap on each other are black matrices for shielding the light at the peripheries of the edges of the pixel electrodes. The auxiliary capacitors are formed in the regions where the electrode patterns 106 and the pixel electrode patterns 107 overlap on each other.



LEGAL STATUS

[Date of request for examination]

28.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

•
•
• [Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-78593

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136 1/1343	5 0 0		G 0 2 F 1/136 1/1343	5 0 0

審査請求 未請求 請求項の数6 F D (全 8 頁)

(21) 出願番号 特願平8-253817

(22) 出願日 平成8年(1996) 9月4日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 寺本 聡

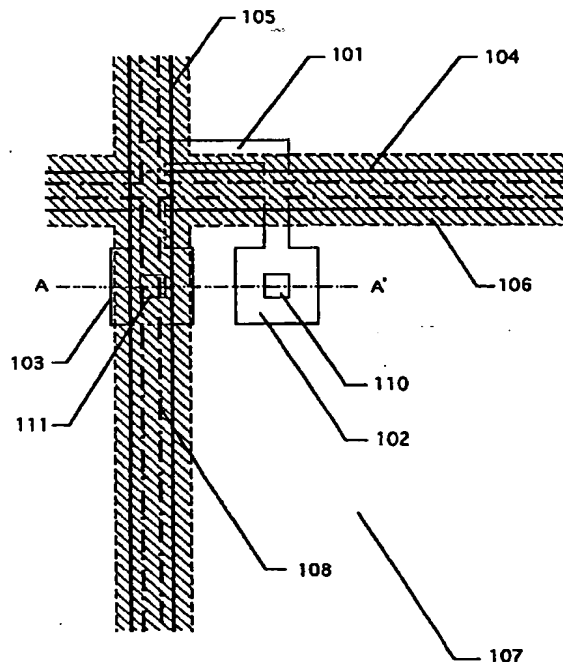
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 高い開口率と必要とする補助容量を有したアクティブマトリクス型の表示装置を提供する。

【解決手段】 ソース線105及びゲイト線104とITOでなる画素電極107を一部で重ねた状態とする。この重なった領域がブラックマトリクスとなる。また、106で示されるITOパターンを配置し、このパターンを利用して補助容量を形成する。こうすることで、開口率を低下させずに必要とする補助容量値を得ることができる。



【特許請求の範囲】

【請求項1】アクティブマトリクス型の表示装置であって、

ソース及びゲイト線と画素電極との間に透明導電膜でなる電極パターンが配置され、

該電極パターンと画素電極との間で補助容量が形成されていることを特徴とする表示装置。

【請求項2】アクティブマトリクス型の表示装置であって、

ソース及びゲイト線と画素電極との間に透明導電膜でなる電極パターンが配置され、

前記画素電極の縁はソース及びゲイト線と重なって配置され、

前記透明導電膜でなる電極パターンと画素電極との間で補助容量が形成されていることを特徴とする表示装置。

【請求項3】請求項1または請求項2において、透明導電膜でなる電極パターンは、ソース及びゲイト線と画素電極とを電気的に遮蔽するシールド膜として機能することを特徴とする表示装置。

【請求項4】アクティブマトリクス型の表示装置であって、

ソース及びゲイト線を覆うように透明導電膜でなる電極パターンが配置されていることを特徴とする表示装置。

【請求項5】請求項4において、透明導電膜でなる電極パターンは一部で画素電極と重なっており補助容量を形成していることを特徴とする表示装置。

【請求項6】請求項4において、透明導電膜でなる電極パターンは、ソース及びゲイト線と画素電極とを電気的に遮蔽するシールド膜として機能することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本明細書で開示する発明は、透過型の液晶表示装置の構成に関する。またはその作製方法に関する。

【0002】

【従来の技術】液晶表示装置に代表されるフラットパネルディスプレイが知られている。光が液晶パネルを透過し、その透過光を液晶パネルでもって光学変調する形式を有する透過型の液晶表示装置においては、画素の輪郭を明確にするためにブラックマトリクスと呼ばれる遮光手段が必要とされている。具体的には画素電極の周辺部を遮光性の枠で覆うような構成が必要とされている。

【0003】特に微細な動画表示が求められるような場合、このブラックマトリクスが重要な役割を果たす。

【0004】しかしながら、ブラックマトリクスは画素の有効面積（この割合を開口率という）を減少させるものであり、画面を暗くするというデメリットがある。

【0005】近年、低消費電力型の携帯機器（携帯型の

ビデオカメラや携帯型の情報端末）にフラットパネルディスプレイを利用することが試みられている。

【0006】ここで問題となるのは、携帯機器に必要とされる低消費電力特性である。即ち、画面表示に用いられる電力消費を低減する構成が必要とされる。

【0007】透過型の液晶表示装置の場合、液晶パネルの裏側から光を照射するバックライトが消費する電力をいかに削減するかが問題となる。バックライトの消費電力を低減するには、画素の開口率を高めることにより、バックライトの明るさを小さくすればよい。

【0008】他方、液晶表示装置の場合、各画素において液晶が有する容量を補うために補助容量と呼ばれる容量を配置することが必要となる。この補助容量は、所定の時間間隔をもって書き換えられる画素電極に書き込まれた情報（電荷量に対応する）を次の書換えまで保持する機能を有している。この補助容量の値が小さいと表示のチラツキや色ムラ（特にカラー表示時に顕在化する）が発生してしまう。

【0009】しかし、各画素に補助容量を設けることは、ブラックマトリクスを配置する場合と同様に画素の開口率を低下させる要因となる。

【0010】

【発明が解決しようとする課題】上述のように、画質を高めるためにブラックマトリクスを配置することや補助容量を配置することは、画素の開口率を低下させる要因となる。この開口率の低下は別の意味で画質の低下を招く。

【0011】即ち、明確な画像表示を求めること（ブラックマトリクスの作用）と明るい画像を得ること（開口率のアップ）とは矛盾する要求事項となる。

【0012】また、表示のチラツキ感の抑制や色ムラを抑制する（補助容量の作用）と明るい画像を得ること（開口率のアップ）とも矛盾する要求事項となる。

【0013】本明細書で開示する発明は、上記矛盾する要求事項を解決する技術を提供することを課題とする。

【0014】

【課題を解決するための手段】本明細書で開示する発明の一つは、アクティブマトリクス型の表示装置であって、ソース及びゲイト線と画素電極との間に透明導電膜でなる電極パターンが配置され、該電極パターンと画素電極との間で補助容量が形成されていることを特徴とする。

【0015】他の発明の構成は、アクティブマトリクス型の表示装置であって、ソース及びゲイト線と画素電極との間に透明導電膜でなる電極パターンが配置され、前記画素電極の縁はソース及びゲイト線と重なって配置され、前記透明導電膜でなる電極パターンと画素電極との間で補助容量が形成されていることを特徴とする。

【0016】上記2つの発明の構成において、透明導電膜でなる電極パターンは、ソース及びゲイト線と画素電

極とを電氣的に遮蔽するシールド膜として機能する。

【0017】他の発明の構成は、アクティブマトリクス型の表示装置であって、ソース及びゲイト線を覆うように透明導電膜でなる電極パターンが配置されていることを特徴とする。

【0018】上記構成において、透明導電膜でなる電極パターンは一部で画素電極と重なっており補助容量を形成している。また、透明導電膜でなる電極パターンは、ソース及びゲイト線と画素電極とを電氣的に遮蔽するシールド膜として機能する。

【0019】

【発明の実施の形態】本明細書で開示する発明の具体的な一例は、図1にその画素構造を示すように、ソース線105及びゲイト線104と画素電極107との間に透明導電膜でなる電極パターン106が配置され、該電極パターン106と画素電極107との間で補助容量が形成されていることを特徴とする。

【0020】

【実施例】

【実施例1】図1～図3に本実施例の構成を示す。図1～図3に示すのは、透過型の形式を有するアクティブマトリクス型の液晶表示装置の1画素の部分を上面から拡大した状態を示している。

【0021】図1～図3は同じものを示している。まず図1を用いてその構成を説明する。図1において、101が薄膜トランジスタの活性層を構成するパターンである。活性層101は結晶性珪素膜で構成されている。

【0022】102は活性層101の一部であり、ドレイン領域と呼ばれる領域である。103はソース領域と呼ばれる領域である。これらの領域は、Nチャネル型であればN型、Pチャネル型であればP型を有している。

【0023】104がゲイト線のパターンである。このゲイト線104と活性層101が重なる部分における活性層101の領域がチャンネル領域となる。またゲイト線104の活性層101と重なる領域がゲイト電極として機能する。

【0024】105はソース線である。ソース線105は、コンタクト111を介して、ソース領域103にコンタクトしている。

【0025】活性層101とゲイト線104との上下方向の位置関係は以下のようになっている。即ち、活性層101上に図示しないゲイト絶縁膜が形成され、さらにその上にゲイト線104が形成されている。

【0026】そしてゲイト線104上には図示しない層間絶縁膜が形成されており、その上にソース線105が形成されている。

【0027】106で示される斜線領域は、容量を形成するためのITOでなる電極パターンである。この電極パターンはアクティブマトリクス領域全体で見ると、格子状のパターンを有している。

【0028】この容量を形成するためのITOでなる電極パターン106は、適当な一定電位（基準電位）に保たれる構成となっている。具体的には、図示しないアクティブマトリクス回路の端部において、対向基板の電極（この電極は対向電極に接続されている）にコンタクトする構成となっている。こうして、対向電極と同じ電位となるようになっている。

【0029】補助容量を形成するための電極パターン106の形状は、図1に示されるような形状に限定されるものでない。電極パターン106はITO（または適当な透明導電膜）で構成されているので、その形状に大きな自由度がある。

【0030】107で示されるのは、画素電極を構成するITOでなるパターンである。このパターン107の縁は、108の破線で示される。即ち、画素電極107の縁は、ソース105及びゲイト線104と一部が重なったものとなっている。

【0031】画素電極107のパターンを斜線部として強調した図を図2に示す。即ち、図2において、斜線で示される領域が画素電極107である。

【0032】この画素電極107は、容量を形成するためのITOでなる電極パターン106上に形成された図示しない第2の層間絶縁膜上に形成されている。

【0033】図1に示すように、画素電極107は、コンタクト110を介して、活性層パターン101のドレイン領域102にコンタクトしている。

【0034】図1及び図2（特に図2）から明らかなように、画素電極107は、ゲイト線104及びソース線105とその縁が重なるように配置されている。この画素電極107とソース線104及びゲイト線105とが重なった領域が、画素電極の縁周辺を遮光するブラックマトリクスとなる。

【0035】また、図1に斜線で示される容量を形成するための電極パターン106と図2に斜線で示される画素電極パターン107とは、図3の斜線部109で示される領域において重なる。

【0036】この2つのITO電極パターンが重なった領域で補助容量が形成される。即ち、液晶と対向電極との間に形成される容量と並列に接続された容量（この容量を補助容量と称する）が形成される。

【0037】図4以下に図1のA-A'で切った断面の作成工程を示す。また図9以下に対応する断面の作製工程を示す。

【0038】まず図9（A）に示すように、ガラス基板（または石英基板）901上に下地膜として酸化珪素膜902をスパッタリング法によって3000Åの厚さに成膜する。なお、図4のB-B'で切った断面が図9（A）に対応する。

【0039】次に図示しない非晶質珪素膜を減圧熱CVD法により、500Åの厚さに成膜する。この非晶質珪

10

20

30

40

50

素膜は後に薄膜トランジスタの活性層を構成する出発膜となる。

【0040】図示しない非晶質珪素膜を成膜したら、レーザー光の照射を行う。このレーザー光の照射を行うことにより、非晶質珪素膜は結晶化され、結晶性珪素膜が得られる。

【0041】次に得られた結晶性珪素膜をパターニングし、図4及び図9(A)の101でそのパターンが示される活性層101を形成する。後の工程において、この活性層中にソース/ドレイン領域やチャネル領域が形成される。

【0042】こうして図4及び図9(A)に示す状態を得る。次に図9(B)に示すようにゲート絶縁膜として機能する酸化珪素膜903をプラズマCVD法により、1000Åの厚さに成膜する。(図4には図示せず)

【0043】次に図5に示すようにゲート線104を形成する。このゲート線104はアルミニウムでもって形成する。また図からは明らかでないが、アルミニウムの表面には陽極酸化膜を保護膜して形成する。なお、図9にはゲート線104は示されていない。(即ち、図9の切断面にはゲート線は存在しない)

【0044】ここで、ゲート線104と活性層101とが重なる活性層の領域がチャネル領域となる。即ち、図5の501と502で示される領域がチャネル領域となる。本実施例の場合、チャネル領域が2つ存在している。この構成は、等価的に2つの薄膜トランジスタが直列に接続された構造となる。

【0045】このような構成は、1つの薄膜トランジスタに加わる電圧がそれぞれのトランジスタ部に分圧されるので、逆方向リーク電流や劣化の度合いを小さくすることができる。

【0046】ゲート線104を形成したら、図5の状態において、不純物のドーピングを行う。ここでは、Nチャネル型の薄膜トランジスタを作製するために、P(リン)元素のドーピングをプラズマドーピング法でもって行う。

【0047】この不純物のドーピング工程において、ゲート線104がマスクとなり、自己整合的にソース領域103とドレイン領域102が形成される。また2つのチャネル領域501と502の位置も自己整合的に決定される。

【0048】不純物のドーピングが終了したら、レーザー光の照射を行うことにより、ドーピングされた元素の活性化とドーピング時の活性層の損傷のアニールとを行う。この活性化はランプ照射や加熱処理によって行ってもよい。

【0049】ゲート線104を形成したら、窒化珪素膜904とポリイミド膜905でなる積層膜を形成する。この積層膜は第1の層間絶縁膜として機能する。こうして図9(B)に示す状態を得る。

【0050】ポリイミド等の樹脂膜を層間絶縁膜として利用した場合、その表面を平坦なものとすることができる。

【0051】次に図9(C)に示すように、904と905の積層体でなる第1の層間絶縁膜にコンタクトホール111を形成する。そして、図6及び図9(C)に示すようにソース線105を形成する。

【0052】ソース線105は、コンタクトホール111を介してソース領域103とコンタクトした状態となる。なお、図6のC-C'で切った断面が図9(C)に対応する。

【0053】次に図9(D)及び図7に示すように、第2の層間絶縁膜として、ポリイミド膜906を形成する。

【0054】さらにITOでなるパターン(補助容量を形成するためのパターン)106を形成する。ここで、図7のD-D'で切った断面が図9(D)に対応する。

【0055】次に図8及び図10に示すように、第3の層間絶縁膜としてポリイミド膜907を形成する。さらにITOでなる画素電極107を形成する。

【0056】ここで前述したように、画素電極107とソース線105(及びゲート線)とが重なった領域がブラックマトリクスとなる。また、ITO電極106と画素電極107とが重なった領域908が補助容量となる。

【0057】図10に示されるような断面構造とすることにより、以下のような有意性を得ることができる。

【0058】(その1)画素電極107の縁をソース線及びゲート線と重ねることで、この重なった領域をブラックマトリクスとして機能させることができる。このようにすることにより、開口率を最大限高めることができる。

【0059】(その2)図10の908で示されるITOでなるパターン106と画素電極107との間で908で示される補助容量を形成することで、開口率の低下をきたすことなく、必要とする容量値を得ることができる。特に必要とする容量を得るために、画素電極に重ねて形成するITOパターンの自由度を高めることができる。

【0060】(その3)図10から明らかなように、補助容量を形成するためのITOパターン106をソース線105より大きな面積を有するパターンとし、また適当な基準電位に保持する。こうすることにより、ITOパターン106を電氣的に画素電極107とソース線105とを遮蔽するシールド膜とすることができる。そして、ソース線105と画素電極107との間におけるクロストークを抑制することができる。この効果は、画素電極とゲート線との間においても同様に得られる。

【0061】【実施例2】本実施例は、実施例1を変形した構成に関する。実施例1に示した構成は、ソース線

及びゲイト線と画素電極とを重ね、その重なった領域をBM（ブラックマトリクス）として機能させている。

【0062】実施例1の構成は、開口率を最大限大きくする上で有用な構成である。しかし、要求される画質や表示方法によっては、ブラックマトリクスの面積をより大きくした構成が求められる場合もある。

【0063】本実施例は、このような場合に利用できる構成に関する。図11に本実施例の画素部分の断面を示す。図11は図10に対応するもので、図10と同じ符号は同じ箇所を示す。

【0064】本実施例においては、チタン膜やクロム膜（また適当な金属膜）でなるブラックマトリクスを構成する膜1102が配置され、その一部とITOでなる画素電極107の縁の部分とが重なる構成となっている。

【0065】1101は、補助容量の値をさらに大きくするためにブラックマトリクス1102を覆って、それよりさらに大きな面積を有するITOパターンである。この補助容量を形成するためのITOパターンは、その面積を大きくしても開口率を低下させることがない。

【0066】

【発明の効果】本明細書で開示する発明を採用することで、画素の開口率を下げることなくブラックマトリクスを設けることができる。

【0067】また、画素の開口率を低下させることなく必要とする補助容量を設けることができる。

【0068】また、補助容量を形成する透明電極によって、ソース線及びゲイト線と画素電極とのクロストークを抑制する構成とすることができる。

【図面の簡単な説明】

【図1】 発明を利用したアクティブマトリクス回路の上面図。

【図2】 発明を利用したアクティブマトリクス回路の上面図。

【図3】 発明を利用したアクティブマトリクス回路の上面図。

【図3】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図4】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図5】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図6】 発明を利用したアクティブマトリクス回路の

作製工程上面図。

【図7】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図8】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図9】 発明を利用したアクティブマトリクス回路の作製工程断面図。

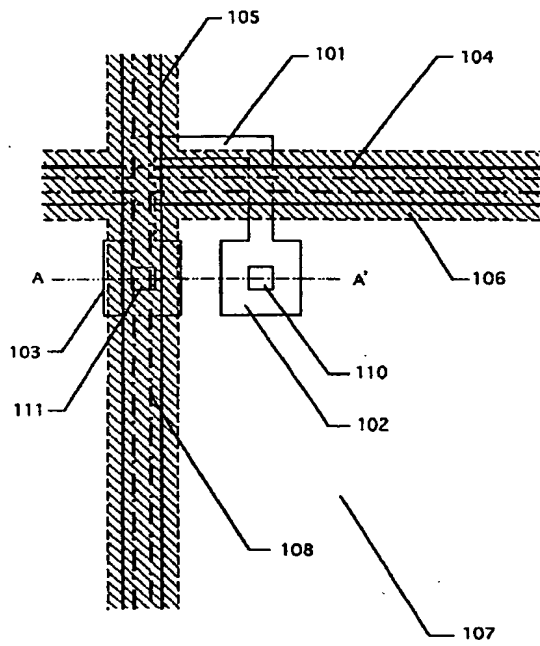
【図10】 発明を利用したアクティブマトリクス回路の作製工程断面図。

10 【図11】 発明を利用したアクティブマトリクス回路の作製工程断面図。

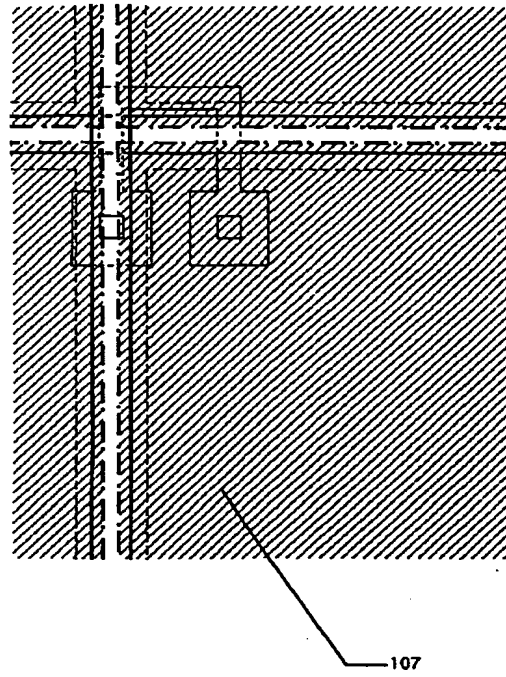
【符号の説明】

101	薄膜トランジスタの活性層
102	ドレイン領域
103	ソース領域
104	ゲイト線
105	ソース線
106	補助容量形成用のITO電極
107	画素電極を構成するITO電極
20 108	画素電極の縁
109	補助容量形成用のITO電極と画素電極を構成するITO電極とが重なる領域
501、502	チャネル領域
111	ソース領域へのコンタクト部（コンタクトホール）
110	ドレイン領域へのコンタクト部（コンタクトホール）
901	ガラス基板
902	下地膜（酸化珪素膜）
903	ゲイト絶縁膜（酸化珪素膜）
904	第1の層間絶縁膜を構成する窒化珪素膜
905	第1の層間絶縁膜を構成するポリイミド膜
906	第2の層間絶縁膜を構成するポリイミド膜
907	第3の層間絶縁膜を構成するポリイミド膜
908	補助容量の形成部
40 1101	補助容量を構成するITO電極
1102	ブラックマトリクスを構成する金属電極

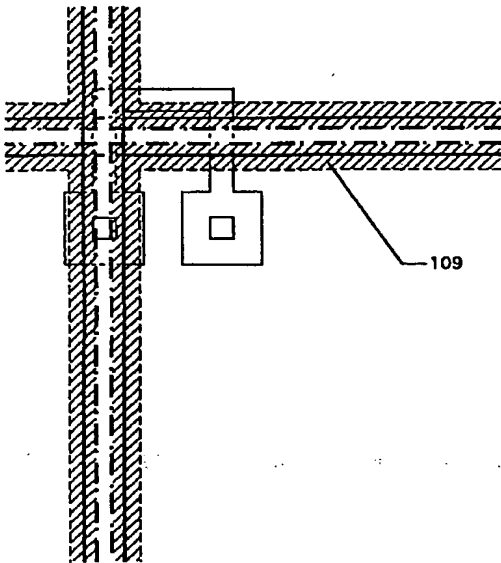
【図 1】



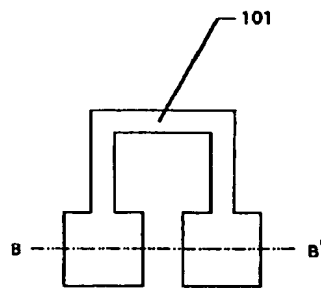
【図 2】



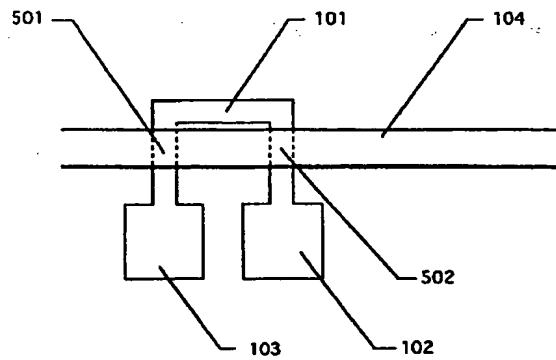
【図 3】



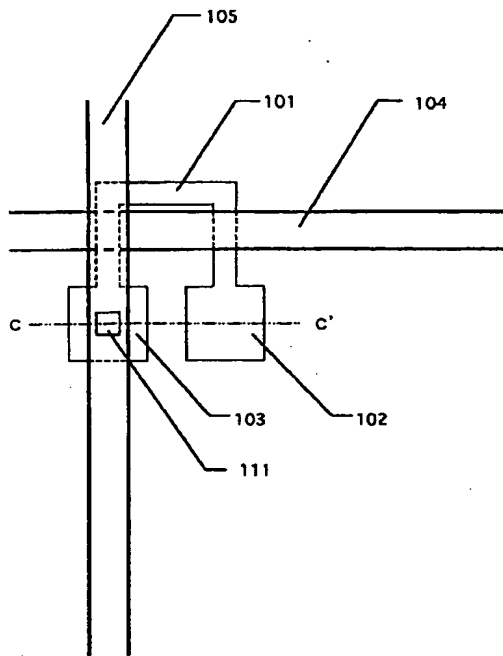
【図 4】



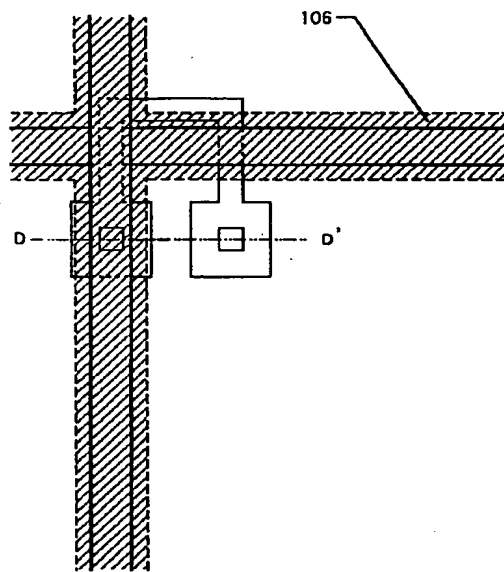
【図 5】



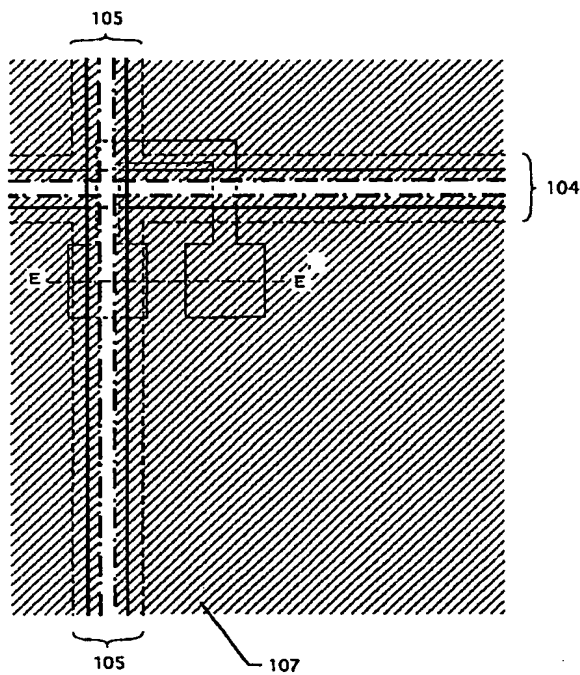
【図6】



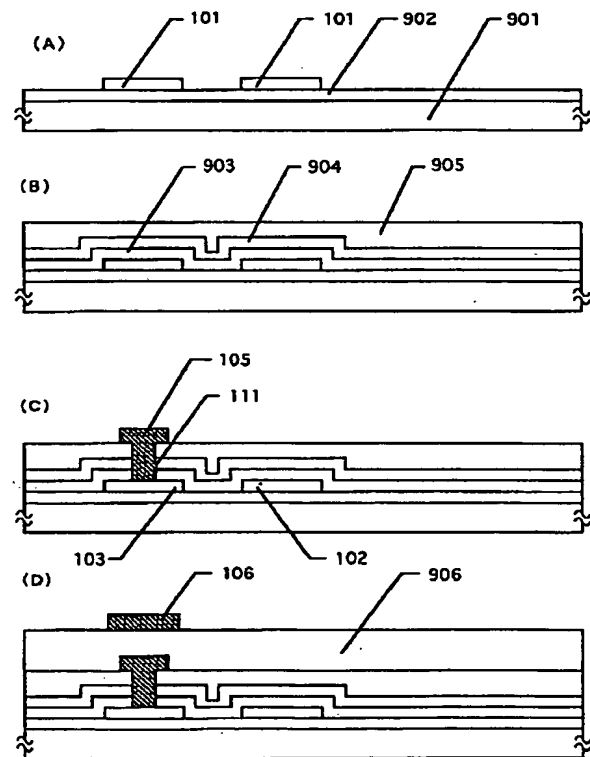
【図7】



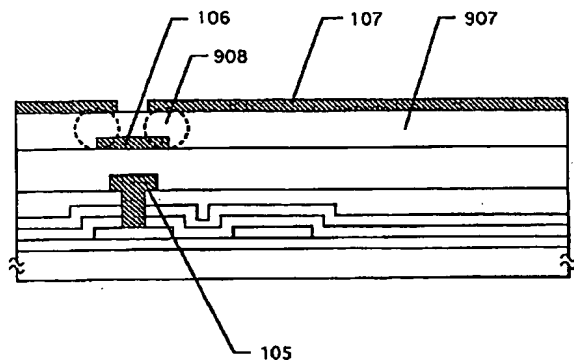
【図8】



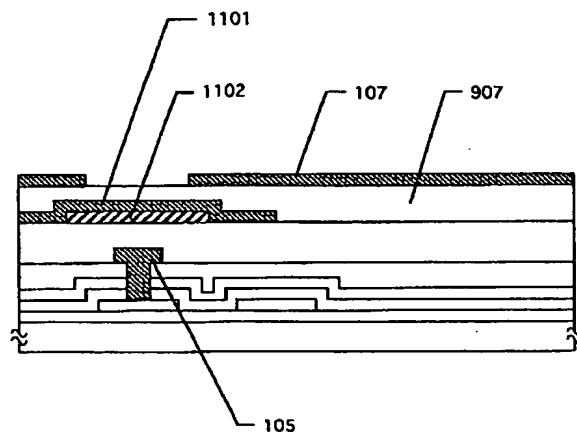
【図9】



【図10】



【図11】



【手続補正書】

【提出日】平成8年11月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】 発明を利用したアクティブマトリクス回路の上面図。

【図2】 発明を利用したアクティブマトリクス回路の上面図。

【図3】 発明を利用したアクティブマトリクス回路の上面図。

【図4】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図5】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図6】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図7】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図8】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【図9】 発明を利用したアクティブマトリクス回路の作製工程断面図。

【図10】 発明を利用したアクティブマトリクス回路の作製工程断面図。

【図11】 発明を利用したアクティブマトリクス回路の作製工程断面図。

【符号の説明】

101	薄膜トランジスタの活性層
102	ドレイン領域
103	ソース領域
104	ゲイト線
105	ソース線
106	補助容量形成用のITO電極
107	画素電極を構成するITO電極
108	画素電極の縁
109	補助容量形成用のITO電極と画素電極を構成するITO電極とが重なる領域
501、502	チャネル領域
111	ソース領域へのコンタクト部（コンタクトホール）
110	ドレイン領域へのコンタクト部（コンタクトホール）
901	ガラス基板
902	下地膜（酸化珪素膜）
903	ゲイト絶縁膜（酸化珪素膜）
904	第1の層間絶縁膜を構成する窒化珪素膜
905	第1の層間絶縁膜を構成するポリイミド膜
906	第2の層間絶縁膜を構成するポリイミド膜
907	第3の層間絶縁膜を構成するポリイミド膜
908	補助容量の形成部
1101	補助容量を構成するITO電極
1102	ブラックマトリクスを構成する金属電極